

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-231661

(43)Date of publication of application : 27.09.1988

(51)Int.Cl. G06F 13/26

(21)Application number : 62-066068

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.03.1987

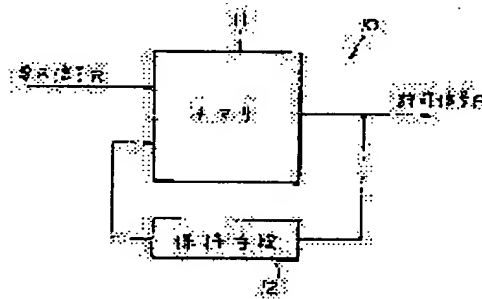
(72)Inventor : NAKAMOTO MAKOTO

(54) PRECEDENCE CONTROLLER

(57)Abstract:

PURPOSE: To arbitrarily change the priority level of each device by providing a memory, which outputs a permission signal based on the state of the request signal of the device and the state of the preceding permission signal, and a holding means which holds the permission signal from the memory and outputs it to the memory at the next time.

CONSTITUTION: A memory 11 which outputs the permission signal based on the request state of the device and the state of the preceding permission signal and a holding means 12 which holds the output of the memory 11 and outputs it to the memory 11 at the next time are provided. Since the priority level of the device is stored in the memory 11, it is unnecessary to extend the hardware constitution in case of the increase of the number of devices, whose priority levels should be controlled, if the setting information volume of priority level is equal to or smaller than the capacity of the memory 11. If contents of the memory 11 are so set that continuous designation of the same device is inhibited, processings of devices having lower priority levels are prevented from being stagnated by monopolization of the device having a higher priority level; and in case of the change of priority levels of devices, it is sufficient if a memory having different contents is attached.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-231661

⑪ Int.Cl.⁴
G 06 F 13/26

識別記号
310

庁内整理番号
G-8840-5B

⑬ 公開 昭和63年(1988)9月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 優先順位制御装置

⑮ 特 願 昭62-66068

⑯ 出 願 昭62(1987)3月20日

⑰ 発 明 者 中 本 誠 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 柝 貞一

明 細 書

1. 発明の名称

優先順位制御装置

2. 特許請求の範囲

複数の装置からの要求信号が競合した際、予め定めておいた優先順位に従って許可信号を発生する優先順位制御装置(10)において、

装置の要求信号の状態及び前回の許可信号の状態に基づいた優先順位に基づく許可信号を出力するメモリ(11)と、

このメモリの許可信号を保持して次回においてメモリに出力する保持手段(12)とを有することを特徴とする優先順位制御装置。

3. 発明の詳細な説明

(概要)

本発明は複数装置の要求信号が競合したとき許可信号を発生するに際し、特定の装置に処理が偏ることを防止できるようにし、また同一のハードウェア構成で異った優先順位を容易に割り付ける

ことができるようにするため、優先順位制御装置に装置の要求信号の状態及び前回の許可信号の状態に基づいた許可信号を出力するメモリと、このメモリの許可信号を保持して次回においてメモリに出力する保持手段とを設けるようにしたものである。

(産業上の利用分野)

本発明は、優先順位制御装置に係り、特に複数の装置からの要求が競合した際、予め定めておいた優先順位に従って許可信号を発生する優先順位制御装置に関するものである。

(従来技術)

従来優先順位制御装置として、割込処理の優先順位を制御する装置として次のようなものがある。これは、割込を要求する各装置に順位付けをして、同時に複数の装置の割込要求信号が入力した場合には、順位が上位の装置の割込要求を優先して割込許可信号を発生するようにしたものであ

表

| 要求信号 | | | | 許可信号 | | | |
|------|----|----|----|------|----|----|----|
| R1 | R2 | R3 | R4 | P1 | P2 | P3 | P4 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

る。

このような優先順位制御装置1は、第4図に示すように、例えば4台の装置の優先順位を、第1の装置を第1位、第2の装置を第2位、第3の装置を第3位、第4の装置を第4位として、これらの装置からの要求信号R1～R4を第1乃至第3のインバータ2、3、4及び第1乃至第3のアンドゲート5、6、7で構成した4to4のデコーダに入力して下表に示すような許可信号P1～P4を発生するようにしたものである。

この表において、要求信号R1～R4は要求が発生している場合に「1」を、要求が発生していない場合に「0」を表示し、また許可信号P1～P4は割込許可の場合「1」を、割込不許可の場合に「0」を表示している。

(発明が解決しようとする問題点)

ところで、上述のような従来の優先順位制御装置にあっては、優先順位の制御をデコーダ、アンドゲート等からなるハードウェアで行なっているため、優先順位を制御すべき装置の台数が増加す

ると優先順位制御装置の構造が複雑で大きなものとなるという問題がある。また、このような従来の優先順位制御装置を採用した場合には、一のシステムにおいて装置の優先順位は不変であるから、優先順位の高い装置の要求が続けて行なわれたとすると、優先順位の低い装置の要求は常に不許可となり、そのような装置の処理が滞ることとなる。

更に、同一のハードウェア構成を有する他の装置において装置の優先順位を目的にあわせて変更したものとするには、優先順位制御装置を上述のものとは異った構成としなければならず煩雑である。

(問題点を解決するための手段)

本発明において、上記の問題点を解決するための手段は、第1図に示すように、複数の装置の要求信号Rが競合した際、予め決めておいた優先順位に基づき許可信号Pを発生する優先順位制御装置10において、装置の要求状態及び前回の許可

信号の状態に基づく許可信号を出力するメモリ11と、このメモリ11の出力を保持して次回においてメモリ11に出力する保持手段12とを設けるようにしたことである。

(作用)

本発明によれば、装置の優先順位はメモリに格納しているから、優先順位を制御すべき装置が増加したとしても、優先順位の設定情報量がメモリの容量以内であれば、ハードウェア構成を増加する必要はない。また本発明によればメモリは装置の要求信号の状態及び前回の許可信号の状態に基づいた優先順位を格納しており、また保持手段はメモリの出力を保持して次回においてメモリに出力するから、メモリの内容を同一装置の連続指定を禁止するようにしておけば、優先順位の高い装置が独占して、優先順位の低い装置の処理が滞ることはなくなる他、装置の優先順位を変更するには異った内容のメモリを取り付けるだけでよい。

(実施例)

以下本発明に係る優先順位制御装置の実施例を図面に基づいて説明する。

第2図及び第3図は本発明に係る優先順位制御装置の実施例を示すものである。

本実施例において、優先順位制御装置10は、従来と同様に4台の装置の割込優先順位を制御するもので、第2図に示すように、8本の入力端子A0～A7を有しこの入力信号に基づいて許可信号を出力する4本の出力端子D0～D3を有するメモリ11と、このメモリの出力をラッチタイミングに基づきラッチする保持手段としてのラッチ回路12とからなる。

このメモリ11の入力端子A0～A7のうち4つの入力端子A0～A3には4台の装置の割込要求信号R1～R4が入力され、他の入力端子A4～A7にはラッチ回路12がラッチしている前回の許可信号P'1～P'4が入力されるようにしている。

そして、上記のメモリ11には入力信号に対応

する。従って、メモリの入力端子A0～A7には順に「11000000」が入力され、この入力信号に対応して出力端子D0～D3には、順に「1000」の信号が出力され(第3図B中符号aで示した)、第1の装置に割込許可信号「1」が出力され、その他の装置には割込不許可信号「0」が出力され、ラッチ回路12はこの信号をラッチする。そして次にまた、第1の装置と第2の装置が割込要求をしたとする。するとメモリの入力端子A0及びA1には割込要求信号「1」が入力される。そして入力端子A4～A7には前回にメモリが出力した許可信号P'1～P'4、即ち「1000」が入力され、入力端子A0～A7には順に「11001000」が入力され、メモリの出力端子D0～D3には順に「0100」が出力され(第3図中符号bで示した)、第1の装置には割込許可信号は出力されず、第2の装置に割込許可信号「1」が出力される。

第3図に示すテーブルにはA4に「1」が、そ

する出力信号を格納したテーブルを設けるようにしている。このテーブルは第3図に示すように、入力端子A0～A7への要求信号R1～R3及びラッチ回路が出力する前回の許可信号P'1～P'3の入力パターンに対応して、出力端子D0～D3に出力すべき許可信号P1～P4の内容を記憶しているものである。

本実施例において、装置の優先順位は原則的には第1の装置を第1位とし、以下第2の装置、第3の装置、第4の装置と優先順位を下げるようにしている。そして本実施例において、優先順位が高い装置であっても、連続して割込を行なえないようにして、下位装置の割込が出来なくなるのを防止している。即ち、例えば第1の装置と第2の装置が同時に割込要求信号を出したとすると、このときシステムを立ち上げたばかりであるとする、ラッチ回路はメモリの入力端子A4～A7に信号「0」を出力する。そして、各装置のうち第1の装置及び第2の装置は割込要求信号「1」を、第3及び第4の装置は信号「0」を発生す

れ以下のA5、A6、A7は「0」が入力されている場合、即ち、前回において第1の装置に割込許可を与えた場合を示しており、この場合には第1の装置の割込要求と他の装置の割込要求とが競合した場合には、他の装置に割込許可を与えると共に、さらに割込要求が競合している場合には優先順位通りに割込許可を発生するようにしている。尚、この図においては前回に第1の装置に割込許可を与えた場合のみ表示したが、前回に他の装置に割込許可を与えた場合についての情報も同様に格納しているものである。

このようにして本実施例は、メモリ11の内容を、優先順位とラッチ回路12がラッチしている前回の割込許可信号の結果をも含めて、割込許可信号を発生すべき装置を決定するものとしているから、優先順が上位の装置が割込要求を続けて発生したとしても、優先順位が下位の装置にも割込許可信号を発生することができ、優先順位が下位の装置の処理が滞ることはなくなる他、同一のハードウェア構成を有するシステムであっても格

納したテーブル内容が異なるメモリと交換するだけで、各装置の優先順位を換えることができるものとしている。

尚本実施例においては、優先順位を制御される装置を4台として説明したがこれはもっと多くとも少なくともよいのは勿論である。また、上記の実施例は優先順位制御装置として割込の優先順位制御を実行する場合について説明したが、本発明は割込に限らず全ての優先順位の制御を行なう事ができる。さらに上記実施例においてはメモリの内容は上記のように構成したが本発明においては装置の優先順位は番号の小さい順に一律に設定したが、この順位については任意に設定できることは言うまでもない。

(発明の効果)

以上説明したように、本発明によれば、優先順位制御装置に装置の要求信号の状態及び前回の許可信号の状態に基づいた優先順位情報を格納し許可信号を出力するメモリと、このメモリからの許

可信号を保持して次回においてメモリに出力する保持手段とを設け、メモリに優先順位と保持手段が保持している前回の許可信号の結果から許可信号を発生する装置を決定するものとしているから、優先順が上位の装置が割込要求を続けて発生したとしても、優先順位が下位の装置にも許可信号を発生することができ、優先順位が下位の装置の処理が滞ることはなくなる他、同一のハードウェア構成を有するシステムであっても格納したテーブル内容が異なるメモリと交換するだけで、各装置の優先順位を任意に変えることができるという効果を奏する。

4. 図面の簡単な説明

第1図は本発明の原理図、第2図は本発明にかかる優先順位制御装置の実施例を示すブロック図、第3図は第2図に示した優先順位制御装置のメモリに格納したテーブルの内容を示す図、第4図は従来の優先順位制御装置を示すブロック図である。

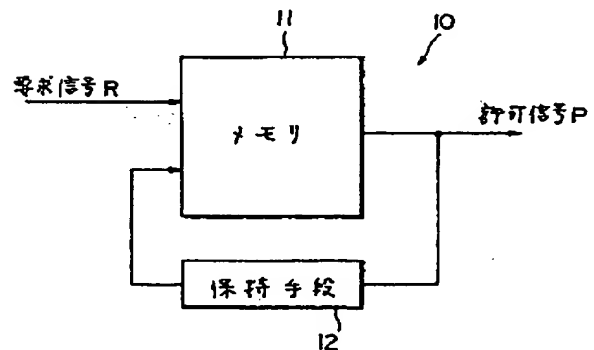
10…優先順位制御装置

11…メモリ

12…保持手段(ラッチ回路)

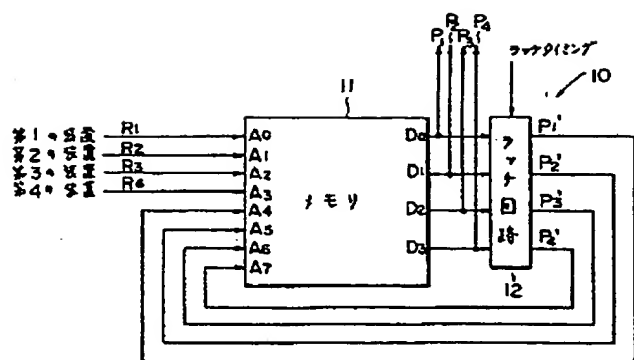
特許出願人 富士通株式会社

代理人 弁理士 井桁 貞一



本発明の原理図

第1図



本発明の実施例
第 2 図

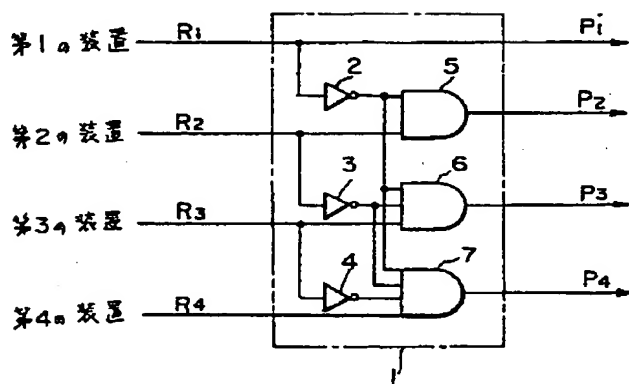
a →

| A0 | A1 | A2 | A3 | A4 | A5 | A6 | A7 | D0 | D1 | D2 | D3 |
|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

b →

| | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |

実施例にふけよメモリの内容
第 3 図



従来の優先順位制御装置
第 4 図